

BEST AVAILABLE COPY

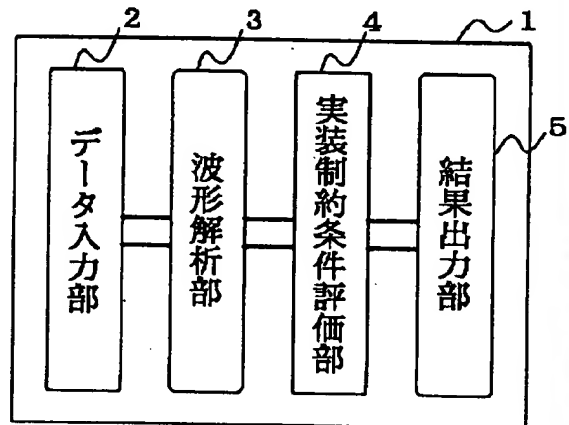
**WIRING SIMULATOR**

Patent Number: JP4256072  
 Publication date: 1992-09-10  
 Inventor(s): NITTA HIROYUKI; others: 01  
 Applicant(s):: HITACHI LTD  
 Requested Patent: ☐ JP4256072  
 Application Number: JP19910016340 19910207  
 Priority Number(s): -----  
 IPC Classification: G06F15/60 ; G01R31/28  
 EC Classification:  
 Equivalents:

**Abstract**

**PURPOSE:** To more precisely execute evaluation by executing evaluation with dynamic noise margin at the time of predicting noise occurring on the wiring of a printed circuit board and obtaining a mounting restriction condition.

**CONSTITUTION:** A wiring simulator 1 is constituted of a data input part 2, a waveform analysis part 3, a mounting restriction condition evaluation part 4 and a result output part 5. The waveform analysis part 3 analyzes noise such as crosstalk and refraction by using data inputted in the data input part 2. The mounting restriction condition evaluation part 4 compares and evaluates of an analyzed result with the dynamic noise margin and outputs and displays a maximum allowable wiring length or the like through the result output part 5, for example. Thus, the mounting restriction condition becomes accurate and it does not become severe more than necessary, whereby the degree of freedom in the design of the printed circuit board can be enlarged.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - 12

TOP

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-256072

(43) 公開日 平成4年(1992)9月10日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/60	3 7 0 P	7922-5L		
G 0 1 R 31/28		6912-2G	G 0 1 R 31/28	F

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平3-16340

(22) 出願日 平成3年(1991)2月7日

(71) 出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 新田 博幸

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所マイクロエレクトロニクス  
機器開発研究所内

(72) 発明者 大坂 英樹

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所マイクロエレクトロニクス  
機器開発研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 布線シミュレータ

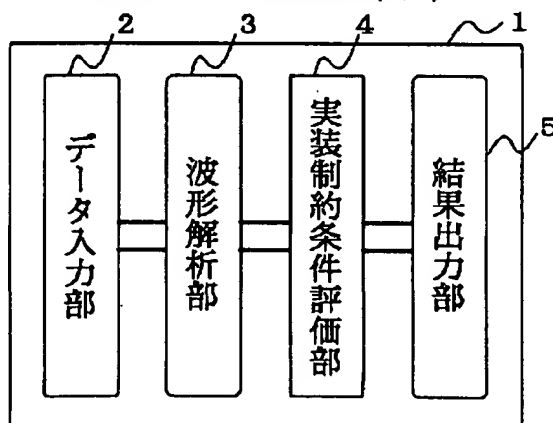
(57) 【要約】

【目的】 本発明の目的は、プリント基板の実装の高密度化に対応してより厳しくなるノイズに対し、正確な布線ノイズ解析を行なうことにある。

【構成】 動的ノイズマージンと解析波形を比較するため、動的ノイズマージン記憶部11と比較評価部13を持つ。

【効果】 パルス幅も考慮に入れた動的ノイズマージンにより実装制約条件を評価するため、実装制約条件が正確になる。

布線シミュレータ構成図 (図1)



## 【特許請求の範囲】

【請求項1】プリント基板上の布線の信号波形を、プリント基板と布線の物理的構成と物性値に基づき計算により予測する布線シミュレータにおいて、布線の制約条件となる素子のノイズマージンを電圧レベルだけではなく、パルスの時間幅も考慮に入れた動的なノイズマージンにより評価する手段を持つことを特徴とする布線シミュレータ。

【請求項2】請求項1記載の布線シミュレータを内蔵するプリント基板設計装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、各種電子機器のプリント基板設計のための布線シミュレータに関する。

【0002】

【従来の技術】従来の装置は、プリント基板を設計試作する場合に事前評価するため、図3に示した手順及び方法でシミュレーションを行なっていた。具体的には、プリント基板のレイアウト、布線状況を入力して、布線シミュレータによってプリント基板上の布線の信号波形を、プリント基板と布線の物理的構成と物性値に基づき計算により予測し、素子が誤動作しないためのノイズの評価基準としてパルスの時間幅は考慮せず電圧レベルのみで規定した静的ノイズマージンを用いて評価していた。

【0003】

【発明が解決しようとする課題】上記従来技術では、布線上のノイズを定量的に解析した後、電圧レベルのみの静的ノイズマージンで評価していた。この静的ノイズマージンは、パルスの時間幅は考慮されておらず、図4に示したように入力側における入力電圧（VIL、VIL）の最悪値と、その入力に対する出力電圧（VOL、VOL）の最悪値の差の電圧レベルで規定したものである。

【0004】しかし、実際の素子では、1990年電子情報通信学会秋季全国大会、A-6「クロストークと最大許容平行布線長についての検討」大坂他に示されているように、パルスの時間幅が狭くなるに従ってマージンも大きくなる。このパルスの時間幅も考慮に入れたノイズマージンが動的ノイズマージンで、図5に示すように時間幅TW、電圧レベルVNのパルスが入力された場合、その出力が出力電圧（VOL、VOL）の規定内にあるかどうか判定したものである。

【0005】従って、比較的パルス幅の狭いノイズパルスに対しては、静的ノイズマージンで評価するよりも、動的ノイズマージンにより評価する方が、実際に素子が誤動作しないか判断する評価基準として正確である。

【0006】今日、OA機器をはじめとした電子機器は小型化、実装の高密度化の傾向にあり、実装の制約条件も厳しくなっている。このような中で、前述したように素子のノイズマージンを静的ノイズマージンではなく、

動的ノイズマージンで評価することにより、素子が誤動作しないためのより正確な実装制約条件を求めることができる。

【0007】本発明の目的は、プリント基板の布線上に発生するノイズを予測し素子が誤動作しないための実装制約条件を求める際、パルスの時間幅を考慮した動的ノイズマージンで評価し、その評価をより正確にすることにある。

【0008】

10 【課題を解決するための手段】上記目的を達成するために、パルスの時間幅を考慮した動的ノイズマージンを記憶する記憶部を持つことによって、波形解析により予測した布線上に発生するノイズと動的ノイズマージンを比較することが可能となる。つまり、素子が誤動作しないような実装制約条件を動的ノイズマージンで評価することができる。

【0009】

20 【作用】クロストークノイズ等のノイズパルスの時間幅は10ns程度またはそれ以下と狭い。このようにパルス幅が狭いノイズパルスに対しては、図8に実測値を示したように動的ノイズマージンは、静的ノイズマージンに比べ大きい。そのため静的ノイズマージンと動的ノイズマージンそれぞれによる実装制約条件は、値が異なる。例えば、図8に示したTTL74LS74の場合、静的ノイズマージンは0.3Vであり、動的ノイズマージンはパルス幅10nsで2.0Vとなっている。これらのノイズマージンに対して、クロストーク電圧に対する最大許容平行布線長は、クロストーク電圧が平行布線長に比例するので、静的ノイズマージンで評価した場合に比べ、動的ノイズマージンはパルス幅10nsで6.7倍の長さの平行布線が許容されることがわかる。

30 【0010】このように動的ノイズマージンは、静的ノイズマージンより大きく、許容平行布線長等の実装制約条件がより正確で必要以上に制約が厳しくならないためプリント基板の設計の自由度が大きくなる。

【0011】

40 【実施例】以下、本発明の一実施例を説明する。図1に本布線シミュレータの構成を示す。1は布線シミュレータ、2はデータ入力部、3は波形解析部、4は実装制約条件評価部、5は結果出力部である。データ入力部2では、プリント基板設計CAD/CAM等からの布線データ、基板の物理的構成や物性値等の電磁氣的に波形解析を行なうために必要なデータ、例えば布線幅、布線厚み、誘電率等の入力を行なう。波形解析部3では、データ入力部2で入力されたデータを使ってインダクタンス、キャパシタンス、特性インピーダンス等を求め、クロストークや反射等のノイズ解析を行なう。実装条件評価部4では、波形解析部3で求められた波形が動的ノイズマージンと比較評価される。結果出力部5では実装条件評価部4で評価された内容を表示する。例えば、

クロストーク電圧に対するノイズマージンとの比較結果、平行布線長の制約などが出力される。

【0012】次に実装制約条件評価部4を図2を使って詳しく説明する。図2において、11は動的ノイズマージン記憶部、12は波形解析結果記憶部、13は動的ノイズマージンと波形解析結果の比較評価部である。ここで動的ノイズマージンの測定にあたっては図6に示す形状のプリント基板を用いた。これはガラスエポキシ系4層基板であり、布線幅 $w=0.1$  [mm]、ギャップ $g=0.1$  [mm]、布線厚み $d=0.043$  [mm]、絶縁層厚み $h=0.3$  [mm]であり、通常よく用いられる多層基板である。また、実際の測定にあたっては図7に示す回路を用いた。この図は情報機器によく使われる標準ロジックIC、DFF(74xx74)の場合を示すが、他のICの場合も類似した回路で測定するのはもちろんである。図7の実験では、電圧 $V_n$ 、時間幅 $T_w$ (50%)のパルスプログラマブル・パルス・ジェネレータにより生成し、これをDFFのクロック端子に入力し、負荷としてはDFFと同じ型のNOT回路を5個、5cm間隔で配置した。この時、出力電圧 $V_{out}$ を観測すると、 $V_{out}$ はパルスの $V_n$ の大小または $T_w$ の長短に応じて変化し、例えばN型などの低速TTLでは出力に凹みができ、また高速のTTL、CMOSではある値を境にフリップ・フロップが反転する。図8が、このようにして測定したTTL、CMOS 74xx74の動的ノイズマージンである。動的ノイズマージン記憶部11では、このような動的ノイズマージンのデータを記憶している。

【0013】図9は、動的ノイズマージン記憶部11のデータを使って線幅0.1mm、布線間隔0.1mmの4層プリント基板での3論理、8種類のTTL、CMOSについてのクロストーク電圧に対する最大許容平行布線長を求めた場合の出力例である。

【0014】このようにして求めたクロストーク電圧に対する最大許容平行布線長が、実装制約条件となる。つまり、平行布線長をこれ以下にすればクロストーク電圧によって素子が誤動作を起こすことはない。このような実装制約条件を動的ノイズマージンにより評価することが可能である。なお最大許容平行布線長は、各ICのスループートを加味して求めたクロストーク電圧を動的ノイズマージン以下とする線長として求めることができる。

【0015】最後になったが、クロストーク、反射の計算方法及び最大許容平行布線長の計算方法そのものは、A.Feller, et al.: "CROSSTALK AND REFLECTIONS IN HIGH SPEED DIGITAL SYSTEM": Proceedings-Fall Joint Computer Conference, p511~p525(1965)、福富、吉田、"空間回路網法によるクロストーク解析"、電子情報通信学会論文誌 C-1 Vol. J72-C-1 No. 10 pp. 642-649 1989年10月など種々あることを付記し、本願ではその方法自体は周知の方法を用いるので、内容について記述はしない。

【0016】

【発明の効果】本発明によれば、実装制約条件を動的ノイズマージンで求めるため、実装制約条件が正確で必要以上に厳しくならず、プリント基板の設計の自由度が大きくなる効果がある。また、プリント基板を実際に製造する前の設計段階で、布線に発生するノイズの解析、対策を行なうことができるため、プリント基板の開発期間を短縮することもできる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す布線シミュレータの構成図である。

【図2】本発明の一実施例を示す布線シミュレータの実装制約条件評価部の詳しい構成図である。

【図3】従来の技術による布線シミュレーションの方式を表す図である。

【図4】静的ノイズマージンを表す図である。

【図5】動的ノイズマージンを表す図である。

【図6】実験に用いたプリント基板の断面図である。

【図7】動的ノイズマージン測定回路を表す図である。

【図8】TTL、CMOS 74xx74の動的ノイズマージンの実測値を示す図。

【図9】各素子のクロストーク電圧に対する最大許容平行布線長を示す図。

【符号の説明】

1・・・布線シミュレータ

2・・・データ入力部

3・・・波形解析部

4・・・実装制約条件評価部

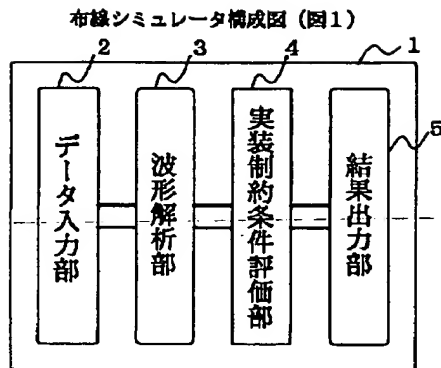
5・・・結果出力部

11・・・動的ノイズマージンデータ記憶部

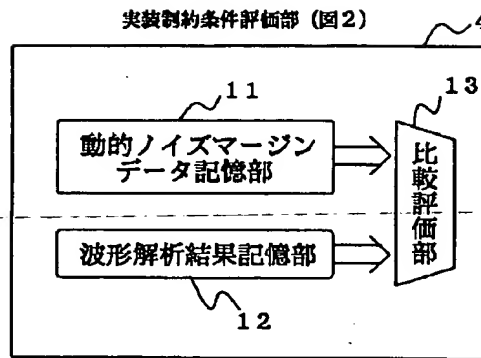
12・・・波形解析結果記憶部

13・・・比較評価部

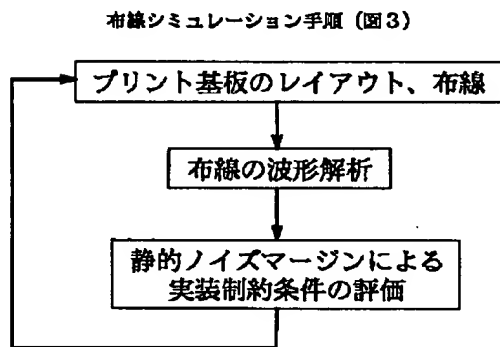
【図1】



【図2】

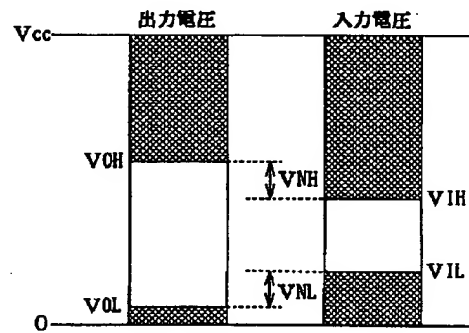


【図3】



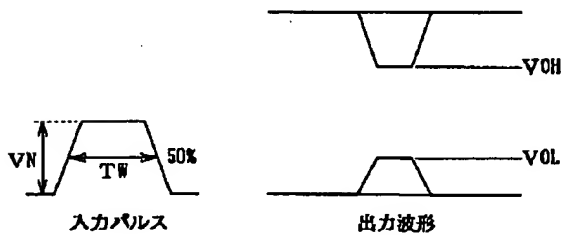
【図4】

静的ノイズマージン (図4)



【図5】

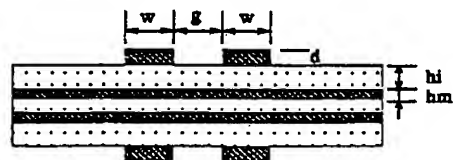
動的ノイズマージン (図5)



【図6】

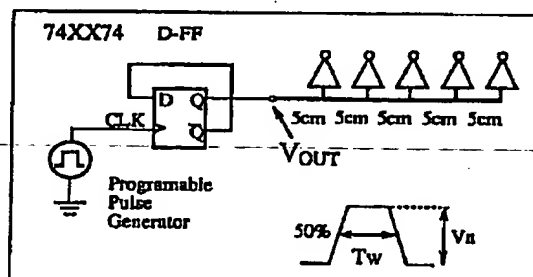
実験に用いたプリント基板の断面図 (図6)

ガラスエポキシ系PCB

布線幅 :  $w=0.1[\text{mm}]$ 比誘電率 :  $\epsilon^*=4.5-5$ ギャップ :  $g=0.1[\text{mm}]$ 絶縁層 :  $hi=0.3[\text{mm}]$ 布線厚み :  $d=0.043[\text{mm}]$ 伝導層 :  $hm=0.070[\text{mm}]$ 

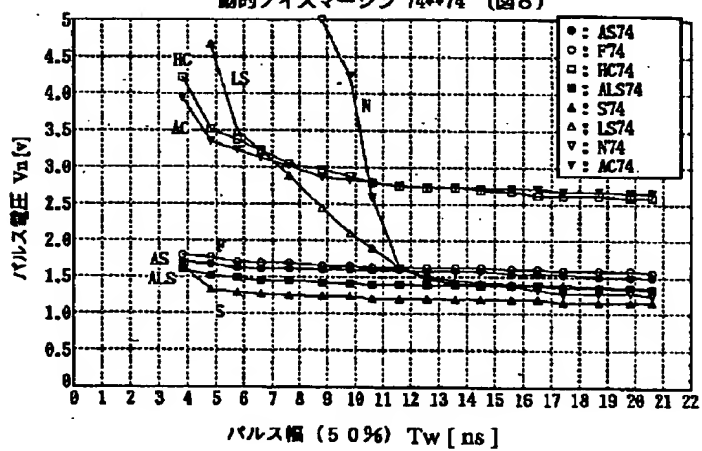
【図7】

動的ノイズマージン測定回路 (図7)



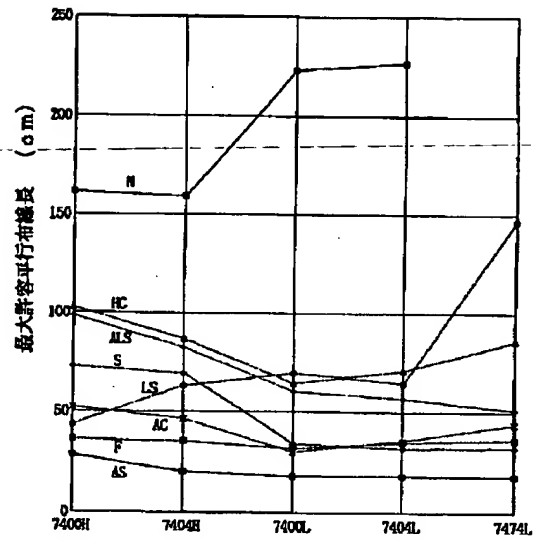
【図8】

動的ノイズマージン 74\*\*74 (図8)



【図9】

各素子の最大許容平行布線長 (図9)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**